

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 04116848 A

(43) Date of publication of application: 17.04.92

(51) Int. Cl

H01L 21/78

(21) Application number: 02237690

(71) Applicant: SEIKO INSTR INC

(22) Date of filing: 06.09.90

(72) Inventor: FUJIMURA TAKASHI

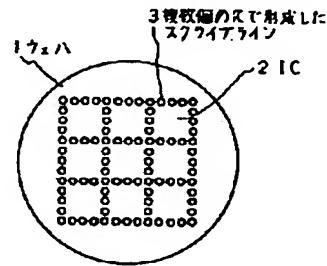
(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

COPYRIGHT: (C)1992,JPO&Japio

(57) Abstract:

PURPOSE: To prevent the peeling off of an oxide film, etc., along scribe lines by forming the scribe lines of a plurality of holes in a process for manufacturing a semiconductor device on a semiconductor wafer.

CONSTITUTION: During a series of processes for forming arrayed ICs containing numerous elements on one main surface of a semiconductor wafer 1 by diffusion, evaporation, oxidation, heat treatment, etc., a plurality of holes are formed on a silicon substrate at locations from which the wafer 1 is divided into individual ICs by dicing, etc. Thereafter, the wafer 1 is divided into individual semiconductor pellets by performing cracking after forming scribe grooves which divide the wafer into each IC of a square form in the longitudinal and transversal directions by using a diamond cutter, etc., along the scribe lines formed of the plurality of holes or by performing dicing with a grindstone. Therefore, peeling off of oxide films, etc., piled up for assembling ICs along the scribe lines can be prevented and the yield can be increased.



⑪公開特許公報(A)

平4-116848

⑤Int.Cl.⁵
H 01 L 21/78識別記号
L庁内整理番号
6940-4M

⑥公開 平成4年(1992)4月17日

審査請求 未請求 請求項の数 1 (全2頁)

⑦発明の名称 半導体装置の製造方法

⑧特 願 平2-237690

⑨出 願 平2(1990)9月6日

⑩発明者 藤村 隆 東京都江東区亀戸6丁目31番1号 セイコー電子工業株式会社内

⑪出願人 セイコー電子工業株式会社 東京都江東区亀戸6丁目31番1号

⑫代理人 弁理士 林 敬之助

明細書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

半導体ウェハ上に個々の素子を形成し、ICを製造する工程において、複数個の穴でスクライブラインを形成したことを特徴とする半導体装置の製造方法。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、半導体ウェハ上に、個々のICに分離するためのスクライブラインを有する半導体装置の製造方法に関する。

〔発明の概要〕

本発明は、ICの製造工程において、クラッキングによるペレット形成前のスクライブ溝を形成する部分、あるいはペレットを形成するためのダイシング箇所に複数の穴形のラインでスクライブ

ラインを形成することにより、ウェハ上に形成したICの微細化等の、スクライブラインにおけるはがれを防止することを目的とするものである。

〔従来の技術〕

従来、一枚の半導体ウェハ上に複数個のICを形成する時、第2図に示すように、ICの形成されない部分すなわちスクライブラインを縦横に直交させて形成し、個々のICを分離形成する。こののち、ダイヤモンドカッタ等により、スクライブラインに添ってスクライブ溝をスクライブして形成したあとでクラッキングするか、あるいはスクライブラインをダイシングすることにより半導体ペレットを形成していた。

〔発明が解決しようとする課題〕

しかし、従来の半導体装置の製造方法においては、ICの製造過程においてスクライブラインを凹形のラインで形成していたため、半導体ウェハの一主面を拡散、蒸着、酸化、熱処理等を経て多数の素子を含むICを配列的に形成した時、スクライブラインにおいて、ウェハ上に形成したIC

の酸化膜等のはがれが起きるという課題があつた。

【課題を解決するための手段】

本発明は、これらの課題を解決するために、半導体装置の製造過程において、スクライブラインを凹形の溝ではなく、複数個の穴で形成することによって、個々のICを形成する際に積層された酸化膜等のスクライブラインにおけるはがれをなくすようにした。

【作用】

このような半導体装置の製造方法においては、半導体ウェハ上に個々のICをスクライブ穴を設けながら形成していく過程において、ICを組立てるために積層されていく酸化膜等のスクライブラインにおけるはがれを起こすことがない。

【実施例】

第1図は、本発明による半導体製造装置の製造方法の一実施例である。半導体ウェハ1の一主面に拡散、蒸着、酸化、熱処理等の各処理を経て多数の素子を含むICを配列的に形成する過程にお

いて、後でダイシング等によって個々のICに分断する箇所に、複数個の穴をシリコン基板上に形成していく。この後、この複数個の穴で形成したスクライブラインに従ってダイヤモンドカッター等により各IC間を方形に縦横に区切るスクライブ溝を形成した後クラッキングするか、あるいは回転磁石を使用してダイシングするかによって、個々の半導体ベレットに分断する。第1図において、円形の穴でスクライブラインを形成してあるがもちろん矩形の穴でもかまわない。

【発明の効果】

この発明は、以上説明したように、半導体ウェハ上に半導体装置を製造する過程において、従来の凹形のスクライブラインのかわりに、複数個の穴によるスクライブラインを形成したことにより、半導体装置のスクライブラインにおけるはがれを防止し、歩留りの向上をはかるという効果がある。

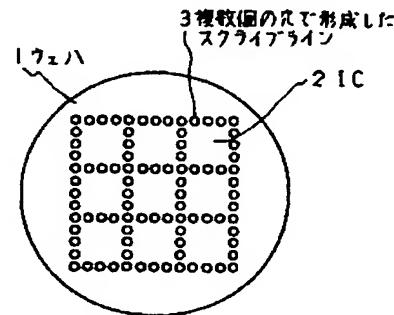
4. 図面の簡単な説明

第1図は本発明の半導体装置の製造方法によったスクライブラインを示す半導体ウェハの正面図、第2図は従来技術でのスクライブラインを示す半導体ウェハの正面図である。

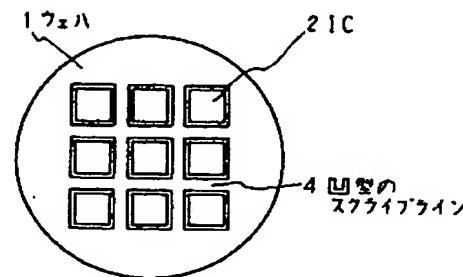
- 1 …… ウェハ
- 2 …… IC
- 3 …… 複数個の穴で形成したスクライブライン
- 4 …… 凹形のスクライブライン

以上

出願人 セイコー電子工業株式会社
代理人 弁理士 林 敏之助



第1図



第2図